

PATENT  
0020-4887P

IN THE U.S. PATENT AND TRADEMARK OFFICE

Applicant: A. CHIDA Conf.: 4709  
Appl. No.: 09/918,433 Group: 2836  
Filed: August 1, 2001 Examiner: UNKNOWN  
For: PROTECTION CIRCUIT FOR SEMICONDUCTOR  
LASER DEVICE

#3  
Priority  
Officer  
11-9-01

L E T T E R

Assistant Commissioner for Patents  
Washington, DC 20231

November 1, 2001

Sir:

Under the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55(a), the applicant(s) hereby claim(s) the right of priority based on the following application(s):

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
JAPAN	2000-233295	August 1, 2000

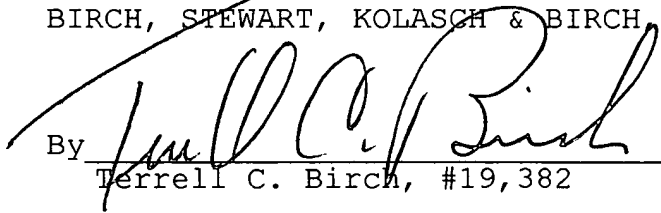
A certified copy of the above-noted application(s) is(are) attached hereto.

If necessary, the Commissioner is hereby authorized in this, concurrent, and future replies, to charge payment or credit any overpayment to Deposit Account No. 02-2448 for any additional fee required under 37 C.F.R. §§ 1.16 or 1.17; particularly, extension of time fees.

Respectfully submitted,

BIRCH, STEWART, KOLASCH & BIRCH, LLP

By

  
Terrell C. Birch, #19,382

TCB/pjh  
0020-4887P

P.O. Box 747  
Falls Church, VA 22040-0747  
(703) 205-8000

Attachment



A. CHIDA  
09/918,433  
Aug. 1, 2001  
Buck, Stewart & Co.  
703-205-8000  
0020-4887  
1061

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office

出願年月日

Date of Application:

2000年 8月 1日

出願番号

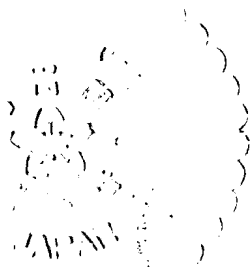
Application Number:

特願2000-233295

出願人

Applicant(s):

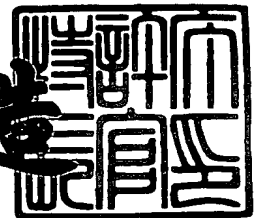
シャープ株式会社



2001年 6月12日

特許庁長官  
Commissioner,  
Japan Patent Office

及川耕造



出証番号 出証特2001-3054652

【書類名】 特許願

【整理番号】 00J01834

【提出日】 平成12年 8月 1日

【あて先】 特許庁長官殿

【国際特許分類】 H01S 3/18  
H01S 3/096

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 千田 純

【特許出願人】

【識別番号】 000005049

【氏名又は名称】 シャープ株式会社

【代理人】

【識別番号】 100075502

【弁理士】

【氏名又は名称】 倉内 義朗

【電話番号】 06-6364-8128

【手数料の表示】

【予納台帳番号】 009092

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体レーザ装置の保護回路

【特許請求の範囲】

【請求項 1】 コンデンサと抵抗またはコイルとからなる半導体レーザ装置の保護回路において、抵抗またはコイルが半導体レーザ装置と直列に接続され、この抵抗またはコイルを挟んだ両側に、それぞれ第 1 のコンデンサ及び第 2 のコンデンサが半導体レーザ装置と並列に接続されていることを特徴とする半導体レーザ装置の保護回路。

【請求項 2】 第 1 のコンデンサ及び第 2 のコンデンサのいずれか一方が低周波用コンデンサであり、他方が高周波用のコンデンサであることを特徴とする請求項 1 記載の半導体レーザ装置の保護回路。

【請求項 3】 第 1 のコンデンサ及び第 2 のコンデンサのいずれか一方もしくは双方が、低周波用コンデンサと高周波用コンデンサとを並列に接続したコンデンサであることを特徴とする請求項 1 記載の半導体レーザ装置の保護回路。

【請求項 4】 第 1 のコンデンサ及び第 2 のコンデンサがいずれも積層セラミック型のチップコンデンサであり、抵抗またはコイルがチップ抵抗またはチップコイルであることを特徴とする請求項 1、2 または 3 記載の半導体レーザ装置の保護回路。

【請求項 5】 第 1 のコンデンサ及び第 2 のコンデンサと抵抗またはコイルが、半導体レーザ装置を取り付けた基板と同一の回路基板に搭載されており、第 2 のコンデンサと抵抗またはコイルが半導体レーザ装置の端子近傍に配置され、第 1 のコンデンサが回路基板の入力端子近傍に配置されていること特徴とする請求項 1、2、3 または 4 記載の半導体レーザ装置の保護回路。

【請求項 6】 回路基板の配線ラインの最外周部で、少なくとも半導体レーザ装置に電流を供給する配線ラインに沿う部分に、GND 用の金属パターンが形成されていることを特徴とする請求項 5 記載の半導体レーザ装置の保護回路。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、光ディスクの記録再生用の光ピックアップに用いられる半導体レーザ装置をサージから保護するための保護回路に関する。

【0002】

【従来の技術】

近年、パソコンの記録・再生装置や音楽用CDプレイヤー等が大量に使用されるようになり、半導体レーザ装置を用いた光ピックアップの需要は増すばかりである。こうした状況の中、光ピックアップと光ディスク装置の生産工程、及び実使用の場において半導体レーザ装置の静電気対策が非常に重要になっている。

【0003】

元々、半導体レーザ装置に内蔵されているレーザダイオードチップ（以下、「LDチップ」という）は、電極の寸法が $200 \sim 300 \mu\text{m}$ 角と小さいため静電気等によるサージによって破壊しやすい。

【0004】

LDチップをサージから保護する保護回路としては、図8に示すように、コンデンサCとコイルLを組み合わせた回路が用いられている（例えばシャープ半導体レーザハンドブック 98年版 18頁に記載）。図8に示す保護回路では、通常、容量が $0.3 \sim 1.5 \mu\text{F}$ のコンデンサC、インダクタンスが $10 \sim 100 \mu\text{H}$ のコイルLが用いられる。

【0005】

また、別の回路構成として、図9に示すように、コイルLをLDチップ11のアノード側に直列に挿入するとともに、コンデンサCをLDチップ11に対して並列に入れた保護回路も提案されている（特開昭60-38894号公報）。

【0006】

これら図8、図9に示すような保護回路を用いた場合、静電耐圧として2kV程度の耐圧を得ることができる。

【0007】

ここで、静電耐圧とは、図6に示す静電試験回路（EIAJ-4701Aに準拠）により測定される物性である。図6の静電試験回路を用いた静電耐圧の試験方法を図7を参照しながら説明する。

## 【0008】

まず、LDチップの $PH-I_{op}$  ( $I-L$ ) 特性 (図7において試験前と記載した $I-L$ カーブ) を測定する。次に、図6に示す静電試験回路の内部電源31の電圧を $V$  ( $kV$ ) に設定した状態で、スイッチ32をX端子側に接続し、充電抵抗33を介して $200 pF$ のコンデンサ34を充電する。充電終了後、スイッチ32をY端子側に接続し、回路基板2を通じてLDチップに電流を流す。静電試験回路の内部抵抗は $0 \Omega$ にしておく。

## 【0009】

以上の過程を1秒間隔で5回連続して繰り返し、その後、LDチップの $I-L$ 特性を測定する。規定光出力におけるLDチップへの通電電流値 ( $I_{op}$ ) が試験後に試験前の20%以内の増加であれば、静電耐圧が $V$ 以上であると判断する (例えば図7において試験後良品と記載した $I-L$ カーブ)。

## 【0010】

内部電源31の電圧を上げながら同様の試験を繰り返し、規定光出力における $I_{op}$ が試験前の20%以上増加した場合、その直前の内部電源31の電圧を静電耐圧とする。静電耐圧以上の電圧を回路基板2を通じて印加した場合、半導体レーザ装置が劣化してしまい、光出力が $5 mW$ までしか出ない場合が多い (例えば図7において劣化と記した $I-L$ カーブ)。

## 【0011】

## 【発明が解決しようとする課題】

ところで、図8、図9に示した従来の保護回路を用いた場合、前記したように静電耐圧が $2 kV$ 程度であり、保護回路が無い場合の静電耐圧 ( $100 V$ 未満) に比べるとかなりの効果があるといえる。

## 【0012】

しかし、最近では、光ピックアップが多量に生産され、これに伴って生産工程における静電気対策などが簡易化されてきており、より高い静電耐圧 (例えば $2 kV$ 以上) が要求されるようになってきている。

## 【0013】

本発明はそのような実情に鑑みてなされたもので、従来よりも静電耐圧が高い

半導体レーザ装置の保護回路を提供することを目的とする。

【0014】

【課題を解決するための手段】

本発明は、コンデンサと抵抗（またはコイル）とからなる半導体レーザ装置の保護回路において、抵抗（またはコイル）が半導体レーザ装置と直列に接続され、この抵抗（またはコイル）を挟んだ両側に、それぞれ第1のコンデンサ及び第2のコンデンサが半導体レーザ装置と並列に接続されていることによって特徴づけられる。このように複数のコンデンサと抵抗（またはコイル）を $\pi$ 型に配置することで、高い静電耐圧を得ることができる。

【0015】

本発明の保護回路において、第1のコンデンサ及び第2のコンデンサのいずれか一方に低周波用コンデンサを用い、他方に高周波用のコンデンサを用いると、より高い静電耐圧を得ることができる。

【0016】

本発明の保護回路において、第1のコンデンサ及び第2のコンデンサのいずれか一方もしくは双方に、低周波用コンデンサと高周波用コンデンサとを並列に接続したコンデンサを用いると、静電耐圧をより一層高めることができる。

【0017】

本発明の保護回路において、第1のコンデンサ及び第2のコンデンサの双方に積層セラミック型のチップコンデンサを用いると、容量を変えるだけで、その他の特性を変えることなく、低周波用コンデンサと高周波用コンデンサを得ることができる。また、抵抗（またはコイル）もチップ抵抗（またはチップコイル）とすることにより、保護回路の小型化をはかることができる。さらに、チップ搭載の自動化（機械化）を実現することが可能になるので、生産性を高めることができる。

【0018】

本発明の保護回路において、第1のコンデンサ及び第2のコンデンサと抵抗（またはコイル）を、半導体レーザ装置を取り付けた基板と同一の回路基板に搭載しておけば、部品点数を少なくすることができ、省スペース化及び低コスト化に

つながる。さらに、この場合、第2のコンデンサと抵抗（またはコイル）を半導体レーザ装置の端子近傍に配置し、第1のコンデンサを回路基板の入力端子近傍に配置すれば、静電耐圧を更に高めることができる。

【0019】

また、コンデンサと抵抗（またはコイル）を、半導体レーザ装置と同一の回路基板に搭載する場合、回路基板の配線ラインの最外周部で、少なくとも半導体レーザ装置に電流を供給する配線ラインに沿う部分に、GND用の金属パターンを形成しておけば、半導体レーザ装置の配線ラインに入射してくる静電気を効果的に分散させることができ、静電耐圧をより一層高めることができる。

【0020】

【発明の実施の形態】

以下、本発明の実施形態を図面に基づいて説明する。

【0021】

図1は本発明の保護回路の実施形態の回路構成図である。

【0022】

図1の保護回路は、LDチップ11のアノード側に直列接続された抵抗Rと、その抵抗Rを挟んだ両側にそれぞれ第1のコンデンサC1及び第2のコンデンサC2が、LDチップ11に対して並列に接続されている。これら2つのコンデンサC1、C2のうち、第2のコンデンサC2はLDチップ11に近い側に配置されており、第1のコンデンサC1は抵抗Rを挟んで遠い側に配置されている。

【0023】

本実施形態では、第1のコンデンサC1として容量が $1\mu\text{F}$ のチップ型の積層セラミックコンデンサを使用しており、第2のコンデンサC2として容量が $0.1\mu\text{F}$ のチップ型の積層セラミックコンデンサを使用している。

【0024】

ここで、2つのコンデンサC1、C2がともにチップ型の積層セラミックコンデンサであっても、第1のコンデンサC1と第2のコンデンサC2とでは容量が一桁異なるので、チップの電極面積が第1のコンデンサC1で3mm角、第2のコンデンサC2で1mm角と大きく異なることになり、第1のコンデンサC1と



第2のコンデンサC2とではインピーダンス特性が異なる。すなわち、チップコンデンサの容量は電極面積に依存するので、容量が大きいコンデンサでは電極の面積が大きくなり、インピーダンスの低い周波数が低くなる。反対に容量の小さいコンデンサではインピーダンスの低い周波数領域が高くなる。

【0025】

本実施形態において、2種類のコンデンサC1、C2を用いる理由を以下に説明する。

【0026】

まず、種々の検討の結果、半導体レーザ装置の静電耐圧を高くするには、保護回路においてインピーダンスの低い周波数範囲を広げることが重要であることがわかった。さらに、インピーダンスの低い周波数範囲を広げるための、コンデンサと抵抗（またはコイル）の組み合わせ・配置等を検討したところ、インピーダンスの低い周波数領域が低い低周波用コンデンサと、インピーダンスの低い周波数領域が高い高周波用コンデンサとを、半導体レーザ装置に対して並列にして用いることが最適であることがわかった。

【0027】

具体的に説明すると、図2（a）の破線のカーブで示すように、容量Cの理想的なコンデンサでは、インピーダンス： $Z = 1 / \omega C = 1 / 2 \pi f C$ （ここで $\omega$ は角周波数であり、周波数 $f$ と $\omega = 2 \pi f$ なる関係を有することは周知の通りである）のインピーダンス $Z$ をもつ。しかし、実際のコンデンサにはコイル成分があるため、図2（a）の実線のカーブで示すように、高周波領域でインピーダンス $Z$ が高くなってしまう。従って1つのコンデンサを用いた場合、静電気対策として使用可能な範囲（インピーダンスが低い周波数範囲）が制限される。

【0028】

これに対し、インピーダンスの低い周波数領域が低い低周波用コンデンサと、インピーダンスの低い周波数領域が高い高周波用コンデンサとを半導体レーザ装置に対して並列に接続すると、図2（b）の実線のカーブで示すような特性が得られ、1つのコンデンサを用いた場合（図2（a））に比べて、インピーダンスが低い周波数範囲が広がることになる。

## 【 0 0 2 9 】

本実施形態において、抵抗Rとして抵抗値が5.6Ωのチップ抵抗を用いている。抵抗Rはできるだけ抵抗値が高いものが好ましいが、高すぎると抵抗による電圧降下が発生し、実使用上において問題が発生する。また、半導体レーザ装置の駆動電流は通常50mAから100mA程度であるので、抵抗Rによる電圧降下が0.6V以下であれば問題のないレベルであり、これらの点を考慮して、本実施形態では抵抗値を5.6Ωとしている。

## 【 0 0 3 0 】

そして、第1のコンデンサC1及び第2のコンデンサC2と抵抗Rを、図1に示すようなπ型配置とし、第1のコンデンサC1の容量を1μF、第2のコンデンサC2の容量を0.1μF、抵抗Rの抵抗値を5.6Ωとすることにより、従来の保護回路（図8または図9）の静電耐圧の約2倍の4kVという高い静電耐圧を得ることができた。

## 【 0 0 3 1 】

保護回路の変形例を図3を参照しつつ説明する。

## 【 0 0 3 2 】

この例では、第1のコンデンサC1及び第2のコンデンサC2と抵抗Rの各配置を図1の保護回路と同じとし、さらに抵抗Rの抵抗値も同じとしている。この例が図1の保護回路と相違する点は、第1のコンデンサC1及び第2のコンデンサC2の双方に、1μFの低周波用コンデンサ（または容量が0.1μFの高周波用コンデンサ）を用いている点にある。

## 【 0 0 3 3 】

図3の保護回路の静電耐圧は3kVであり、従来の保護回路の1.5倍の静電耐圧が得られた。

## 【 0 0 3 4 】

次に、実際の回路基板におけるコンデンサと抵抗の配置を図4を参照しつつ説明する。

## 【 0 0 3 5 】

半導体レーザ装置1のLDチップ端子であるリードピン11aが回路基板2の

位置 P に接続されている。位置 P の近傍（通常 5 mm 以内）に抵抗 R と第 2 のコンデンサ C 2 の一方の端子が接続されている。

【 0 0 3 6 】

回路基板 2 には LD チップの光出力を制御したり、LD チップを駆動する電流に高周波を重畳するための IC や、半導体レーザ装置 1 内に組み込まれた光ディスクからの信号を含んだ光を受信する受光装置の出力を増幅・復調する IC 等が搭載されている。このため、LD チップに電流を供給する配線ライン 2 2 を長く延ばす必要がある。この回路基板 2 は、図中左側の入力端子 2 1 ・ 2 1 を介して外部の電源と接続される。

【 0 0 3 7 】

このような回路基板 2 において、LD チップに電流を供給する配線ライン 2 2 に外部からサージが入射して LD チップを破壊するものと考えられる。サージの入射経路は明確ではないが、大別すると、外部の電源から回路基板 2 までの間の回路要素から入射するサージつまり回路基板 2 の入力端子 2 1 から入射するサージと、回路基板 2 上の配線ラインから入射するサージがあると考えられる。

【 0 0 3 8 】

これら入射サージのうち、回路基板 2 の入力端子 2 1 から入射するサージは、第 1 のコンデンサ C 1 に低周波用のコンデンサを用いることで、サージをある程度吸収することができる。また、第 1 のコンデンサ C 1 で除去しきれなかったサージ及び回路基板 2 上の配線ライン 2 2 から入射するサージについては、第 2 のコンデンサ C 2 を高周波用のコンデンサとすることで、効果的に除去することができる。

【 0 0 3 9 】

さらに、回路基板 2 の配線ラインの最外周部で、半導体レーザ装置 1 に電流を供給する配線ライン 2 2 に沿う部分に、GND 用の金属パターン 2 3 を形成しておく、と、静電耐圧をより一層高くすることができる。この場合、GND 用の金属パターン 2 3 の面積を広くとると、配線ラインに入射する静電気を効率的に分散させることができ、静電耐圧をより一層高めることができる。

【 0 0 4 0 】

本発明の保護回路の他の実施形態を図5を参照しながら説明する。

【0041】

この実施形態の保護回路は、図1に示した保護回路において、第1のコンデンサC1を、容量1  $\mu$ Fの低周波用コンデンサC11と容量0.1  $\mu$ Fの高周波用コンデンサC12（いずれもチップ型の積層セラミックコンデンサ）とを並列に組み合わせたコンデンサとしている。また、同様に第2のコンデンサC2を、容量1  $\mu$ Fの低周波用コンデンサC21と容量0.1  $\mu$ Fの高周波用コンデンサC22とを並列に組み合わせたコンデンサとしている。なお、抵抗Rには抵抗値が5.6  $\Omega$ のチップ抵抗を用いている。

【0042】

図5の保護回路の静電耐圧は6.2 kVであり、図1の保護回路の約1.5倍の静電耐圧が得られた。

【0043】

なお、図5の保護回路を適用する場合も、図4の配置例と同様に、第2のコンデンサC2及び抵抗Rを半導体レーザ装置の端子の近傍、好ましくは5 mm以内に配置し、第1のコンデンサC1を入力端子21の近傍に配置することが好ましい。また、回路基板には図4に示したようなGND用の金属パターン23を形成しておくことが、静電耐圧を高くする点で好ましい。

【0044】

ここで、以上の各実施形態では、保護回路に抵抗を組み込んだ例を示したが、抵抗に替えてコイルを用いても同等な効果を得ることができる。例えば、抵抗値が5.6  $\Omega$ の抵抗に替えて、インダクタンスが45  $\mu$ Hのコイルを用いることで、同じ静電耐圧を得ることができる。このように抵抗またはコイルのいずれを用いても目的とする効果は得られるが、部品面積は抵抗の方が小さいので、小型化という観点では抵抗を用いることが好ましい。

【0045】

【発明の効果】

以上説明したように、本発明の保護回路によれば、抵抗（またはコイル）を半導体レーザ装置と直列に接続し、この抵抗（またはコイル）を挟んだ両側に、そ

れぞれ第1のコンデンサ及び第2のコンデンサを半導体レーザ装置と並列に接続して、コンデンサと抵抗（またはコイル）を $\pi$ 型に配置しているので、簡単な構成で高い静電耐圧を得ることができる。

【図面の簡単な説明】

【図1】

本発明の保護回路の実施形態の回路構成図である。

【図2】

コンデンサの特性線図である。

【図3】

図1の実施形態の変形例の説明図である。

【図4】

回路基板への保護回路の配置例を示す図である。

【図5】

本発明の保護回路の他の実施形態の回路構成図である。

【図6】

静電耐圧の測定に用いる静電試験回路の構成を示す図である。

【図7】

I-L特性線図である。

【図8】

従来の保護回路の一例を示す図である。

【図9】

従来の保護回路の他の例を示す図である。

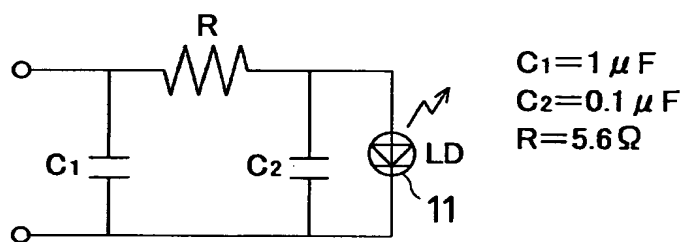
【符号の説明】

- 1 半導体レーザ装置
  - 11 LDチップ（レーザダイオードチップ）
- C1 第1のコンデンサ
- C2 第2のコンデンサ
- R 抵抗
- 2 回路基板

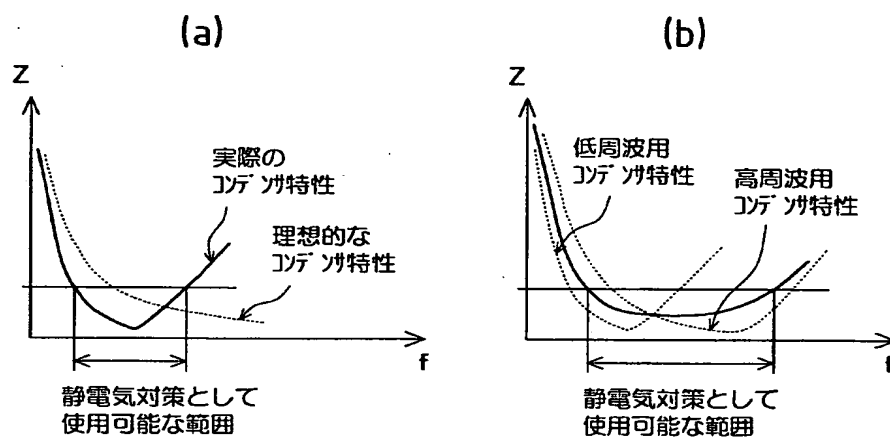
- 2 1 入力端子
- 2 2 配線ライン
- 2 3 金属パターン (GND用)

【書類名】 図面

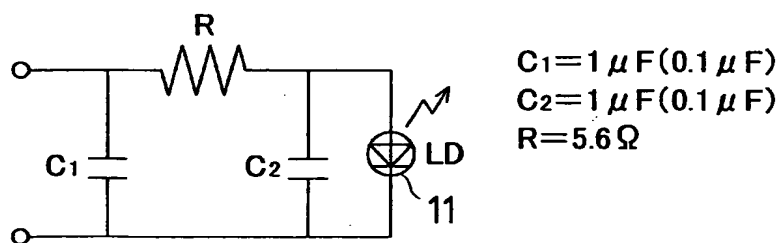
【図 1】



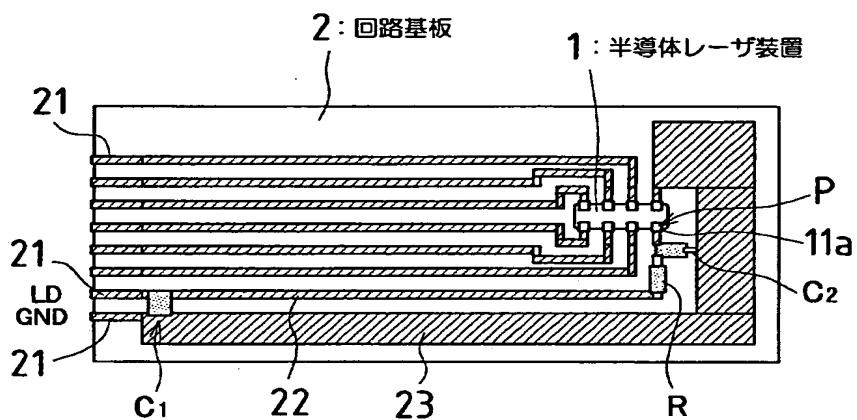
【図 2】



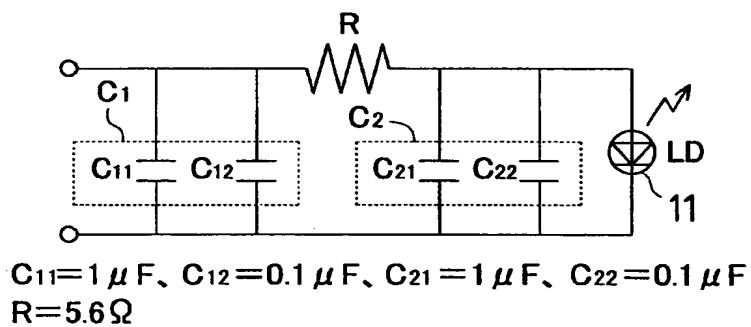
【図 3】



【図 4】

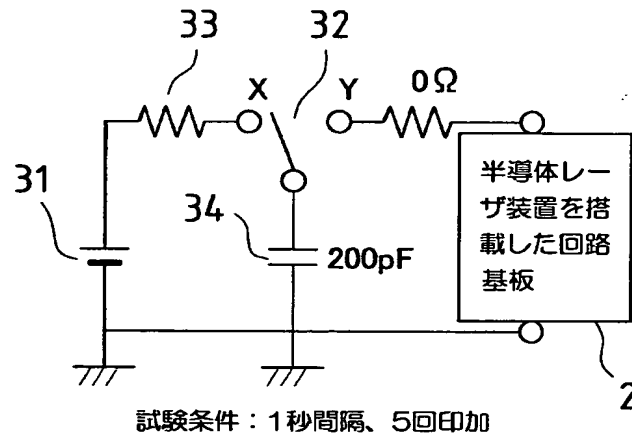


【図 5】

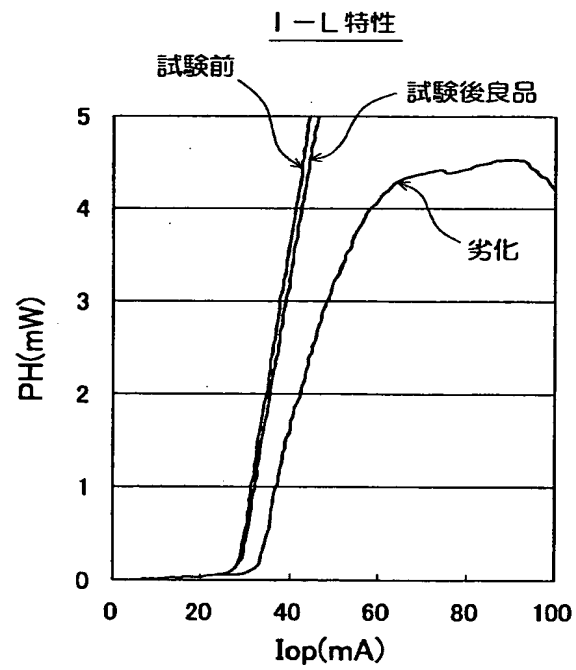




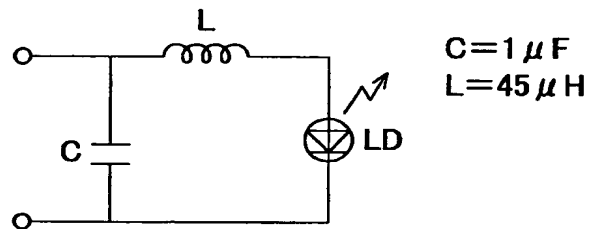
【図 6】



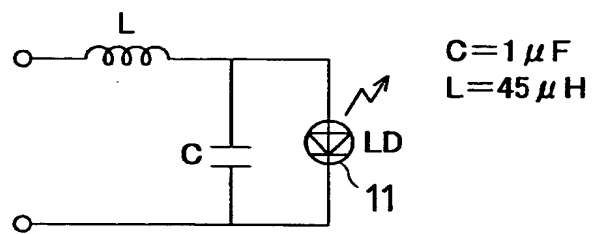
【図 7】



【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】 簡単な構成のもとに静電耐圧を高める。

【解決手段】 抵抗  $R$ （またはコイル）を半導体レーザ装置（LDチップ 11）と直列に接続し、この抵抗  $R$ （またはコイル）を挟んだ両側に、それぞれ第 1 のコンデンサ  $C1$  及び第 2 のコンデンサ  $C2$  を半導体レーザ装置と並列に接続して、コンデンサ  $C1$ 、 $C2$  と抵抗  $R$ （またはコイル）を  $\pi$  型に配置することで、高い静電耐圧を得る

【選択図】 図 1

特2000-233295

出 願 人 履 歴 情 報

識別番号 [000005049]

1. 変更年月日	1990年 8月29日
[変更理由]	新規登録
住 所	大阪府大阪市阿倍野区長池町22番22号
氏 名	シャープ株式会社